

19



Europäisches Patentamt
European Patent Office
Office européen des brevets

11 Veröffentlichungsnummer:

**0 360 917
A1**

12

EUROPÄISCHE PATENTANMELDUNG

21 Anmeldenummer: **88116233.3**

51 Int. Cl.⁵: **H04L 29/10**

22 Anmeldetag: **30.09.88**

43 Veröffentlichungstag der Anmeldung:
04.04.90 Patentblatt 90/14

71 Anmelder: **Siemens Aktiengesellschaft
Wittelsbacherplatz 2
D-8000 München 2(DE)**

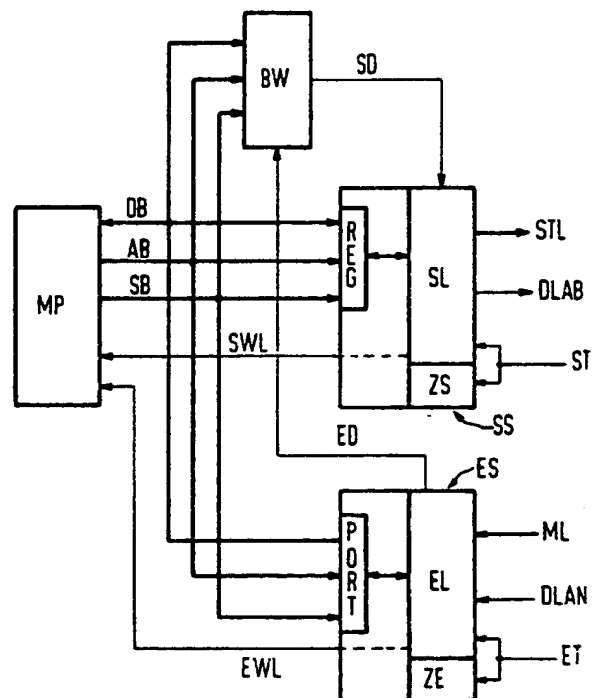
84 Benannte Vertragsstaaten:
AT BE CH DE ES FR GB IT LI NL SE

72 Erfinder: **Fenzl, Josef
Schillerseestrasse 9
D-8000 München 90(DE)
Erfinder: Lajtai, Karoly
Heinz-Hilpert-Strasse 4
D-8000 München 83(DE)**

54 **Verfahren und Schaltungsanordnung zur Steuerung einer seriellen Schnittstellenschaltung.**

57 Zur Entlastung der Mikroprozessoreinheit (MP) einer mikroprozessorgesteuerten seriellen Schnittstellenschaltung weist die Schnittstellenschaltung sendeseitig eine erste Zusatzeinrichtung auf, die von der Voreinstellung durch die Mikroprozessoreinheit (MP) abhängig einerseits einen Steuerbitstrom und andererseits entweder den von einer seriellen Bitstromwandlereinrichtung (BW) kommenden Datenbitstrom oder einen selbst erzeugten Datenbitstrom aussendet und dabei Wecksignale für die Mikroprozessoreinheit (MP) erzeugt, und empfangsseitig eine zweite Zusatzeinrichtung auf, die über einen vorgebbaren Zeitraum stabil anliegende Meldungsänderungen erkennt und als Folge davon ein Wecksignal erzeugt.

FIG 1



EP 0 360 917 A1

Verfahren und Schaltungsanordnung zur Steuerung einer seriellen Schnittstellenschaltung

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur Steuerung der Schnittstellenbitströme durch eine mikroprozessorgesteuerte serielle Schnittstellenschaltungsanordnung mit den im Oberbegriff der Ansprüche 1 und 4 angegebenen Merkmalen.

Die in einer mikroprozessorgesteuerten seriellen Schnittstellenschaltungsanordnung enthaltene Mikroprozessoreinheit ist durch vielfältige Steuerungsaufgaben in ihrer Leistungsfähigkeit mehr oder weniger stark eingeschränkt. Zum Beispiel muß für eine Datenübertragung ein Empfänger einsynchronisiert werden, indem diesem fortwährend ein festgelegtes Bitmuster zugesendet wird. Allein hierfür ist ein großer Steuerungsaufwand notwendig. Ein anderes Beispiel ist die Überwachung der Meldungen, die bei der Schnittstellenschaltungsanordnung eingeht. Die Meldungen müssen immer wieder daraufhin abgefragt werden, ob sie sich geändert haben und ob eine neue Reaktion durch die Mikroprozessoreinheit notwendig geworden ist. Während solcher Überwachungsaufgaben steht die Mikroprozessoreinheit für übergeordnete Aufgaben, wie z.B. die Behandlung von Protokollen höherer ISO-Schichten, nicht zur Verfügung. Es kann sogar allein durch die genannten Steuerungs- und Überwachungsaufgaben bei hohen Leitungsgeschwindigkeiten zur Überlastung der Mikroprozessoreinheit und damit zu Zeitverlusten kommen. Zu Zeitverlusten kommt es auch dadurch, daß unterschiedliche Zeitverhältnisse in Folge unterschiedlicher Datenübertragungsgeschwindigkeiten nur bedingt von der Mikroprozessoreinheit berücksichtigt werden können, da die Mikroprozessoreinheit keine Zeitinformation darüber hat, wann die Aussendung eines seriellen Bitstroms tatsächlich zu Ende ist. Ein Bitstrom kann mit den unterschiedlichsten Baudraten ausgesendet werden. Erst wenn der vorgenannte Bitstrom ausgesendet ist, kann ein weiterer Bitstrom ausgesendet werden. Damit keine Zeitprobleme entstehen, nimmt in der Regel die Mikroprozessoreinheit an, daß der jeweils ausgesendete Bitstrom mit der langsamsten Baudrate ausgesendet wurde.

Aufgabe der Erfindung ist es, ein Verfahren und eine Schaltungsanordnung der eingangs genannten Art so auszubilden, daß die sich durch vielfältige Steuerungsaufgaben ergebende Belastung der Mikroprozessoreinheit einer mikroprozessorgesteuerten seriellen Schnittstellenschaltungsanordnung verringert werden kann.

Für das Verfahren wird diese Aufgabe durch die im Anspruch 1 angegebenen Merkmale gelöst. Danach wird der entlastende Effekt für die Mikroprozessoreinheit dadurch erzielt, daß ein Teil der

durch die Mikroprozessoreinheit bisher bewerkstelligten Aufgaben durch spezialisierte Zusatzeinheiten ausgeführt wird, die von der Mikroprozessoreinheit nur initialisiert werden. Die Mikroprozessoreinheit gewinnt damit Zeit zur Abarbeitung ihrer wesentlichen Aufgaben. Da die Zusatzeinheiten abhängig von den tatsächlichen Sendegeschwindigkeiten arbeiten, werden Zeitverluste durch Einräumen von Sicherheitszeiträumen bei der Datenübertragung vermieden.

Die Schaltungsanordnung zur Durchführung des Verfahrens weist die im Anspruch 4 angegebenen Merkmale auf. Die Sende- bzw. Empfangstaktzählerstufen der Zusatzeinheiten nützen die auf den Schnittstellenleitungen mitübertragenen Sende- und Empfangstakte aus, um eine echte Zeitinformation darüber zu erhalten, wann ein Bitstrom tatsächlich ausgesendet wurde.

Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand von Unteransprüchen. Dabei sind die Zählerstufen der Zusatzeinheiten aus programmierbaren Zählern gebildet, um die Schaltungsanordnung unterschiedlichen Arbeitsbedingungen anpassen zu können.

Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand der Zeichnung näher erläutert.

Es zeigen:

FIG 1 eine allgemeine Schaltungsanordnung einer seriellen Schnittstellenschaltungsanordnung gemäß der Erfindung in Blockdarstellung,

FIG 2 eine beispielhafte Teilschaltung der Empfangslogik der Schaltungsanordnung nach FIG 1 und

FIG 3 eine weitere beispielhafte Teilschaltung der Empfangslogik der Schaltungsanordnung nach FIG 1.

Die in Figur 1 gezeigte Schaltungsanordnung weist eine Mikroprozessoreinheit MP, eine Bitstromwandlereinrichtung BW, sowie eine Sendeschaltung SS und eine Empfangsschaltung ES auf. Die erwähnten Komponenten sind über einen Daten-, Adress- und Steuerbus DB, AB und SB miteinander verbunden. Eine weitere Verbindung besteht zwischen der Bitstromwandlereinrichtung BW und der Sendeschaltung SS über den Leitungsweg SD, und der Empfangsschaltung ES über den Leitungsweg ED. Über den Leitungsweg SD werden die auszusendenden seriellen Datenbitströme der Sendeschaltung SS übergeben. Über den Leitungsweg ED werden die von der Empfangsschaltung ES empfangenen seriellen Datenbitströme der Bitstromwandlereinrichtung BW übergeben. Neben diesen Verbindungen besteht eine Verbindung zwischen der Sendeschaltung SS und der Mikroprozessoreinheit MP über eine Senderweck-

leitung SWL, sowie eine Verbindung zwischen der Empfangsschaltung ES und der Mikroprozessoreinheit MP über eine Empfängerweckleitung EWL. Über die Senderweckleitung SWL und die Empfängerweckleitung EWL können der Mikroprozessoreinheit MP einerseits von der Sendeschaltung SS und von der Empfangsschaltung ES Informationen übergeben werden, die z.B. das tatsächliche Ende eines ausgegebenen Bitstroms oder das gültige Vorliegen einer neuen Meldung anzeigen.

Die Sendeschaltung SS weist einen speichernden Informationsaufnahmeschaltungsteil REG, eine Sendelogik SL und eine Sendetaktzählerstufe ZS auf. Der speichernde Informationsaufnahmeschaltungsteil REG ist mit den genannten Bussen verbunden und nimmt die darauf übertragenen und für die Sendeschaltung bestimmten Signale auf. Über den speichernden Informationsaufnahmeschaltungsteil REG kann die Sendeschaltung SS von der Mikroprozessoreinheit MP eingestellt und dann sich selbst überlassen werden. Die Sendelogik SL gibt entsprechend ihrer Einstellung entweder den von der Bitstromwandlereinrichtung BW seriell gewandelten Bitstrom oder aber selbst erzeugte Bitströme aus. Die selbst erzeugten Bitströme können je nach Sendeschaltungseinstellung verschieden aussehen. Beispielsweise kann ein fortlaufender 1er-Bitstrom, ein fortlaufender 0er-Bitstrom oder ein alternierender 01-Bitstrom ausgegeben werden. Die Mikroprozessoreinheit ist damit entlastet, die Ausgabe solcher Bitströme zu steuern.

Beim Senden von Datenströmen werden der Mikroprozessoreinheit MP über die Senderweckleitung SWL Zeitsignale übermittelt, anhand dieser die Mikroprozessoreinheit MP weiß, wann z.B. ein Datenbitstrom ausgegeben ist. Die Zeitsignale werden in Abhängigkeit von der tatsächlichen Sendegeschwindigkeit erzeugt, die durch die Sendetakte bestimmt wird. Die Mikroprozessoreinheit MP muß dadurch keine Sicherheitszeitspanne berücksichtigen, wenn sie die Ausgabe eines weiteren Bitstroms veranlaßt.

Der Zeitpunkt der Ausgabe eines Senderwecksignals über die Senderweckleitung SWL wird durch eine Sendetaktzählerstufe ZS gesteuert, der die Sendetakte über die Sendetaktleitung ST zugeführt werden. Die Sendetaktzählerstufe ZS ist beispielsweise durch einen voreinstellbaren Zähler gebildet, der bei Erreichen des voreingestellten Zählerhöchststandes ein Überlaufsignal erzeugt. Die Voreinstellung des Zählerhöchststandes kann durch die Mikroprozessoreinheit MP erfolgen.

Die Sendelogik SL weist zwei Ausgänge für einen auszusendenden Steuerbitstrom und einen Datenbitstrom auf. Der erste Bitstrom wird über den Leitungsweg STL und der zweite Bitstrom über den Leitungsweg DLAB ausgesendet.

Die Empfangsschaltung ES bildet das Gegen-

stück zur Sendeschaltung SS. Die Empfangsschaltung ES überwacht Änderungen bei den eintreffenden Meldungen und sendet bei Vorliegen einer Änderung über die Empfängerweckleitung EWL ein Signal an die Mikroprozessoreinheit MP. Nur bei einer Änderung des Meldungsgehalts muß die Mikroprozessoreinheit MP aktiv werden. Nach Mitteilung der Änderung der Meldung holt sich die Mikroprozessoreinheit MP die neue Meldeinformation bei der Empfangsschaltung ES ab. Die Mikroprozessoreinheit MP ist damit frei, die Meldeleitungen selbst auf Zustandsänderungen hin zu prüfen.

Die Empfangsschaltung ES weist demgemäß einen Meldeinformationsausgabeschaltungsteil PORT, eine Empfangslogik EL und eine Empfangstaktzählerstufe ZE auf. An dem Meldeinformationsausgabeschaltungsteil PORT sind die eingangs genannten Busse angeschlossen, über die die Mikroprozessoreinheit MP und Empfangsschaltung ES spezifischen Signale weitergegeben werden. In Richtung Mikroprozessoreinheit MP sind das im wesentlichen die jeweils neuen Meldungen, während es in Richtung Empfangsschaltung Steuersignale sind. Die Adressen dienen zum Auswählen der Empfangsschaltung ES. Die seriell empfangenen Daten werden vor der Übergabe an die Mikroprozessoreinheit MP über den Leitungsweg ED der Bitstromwandlereinrichtung BW zugeführt, die den seriellen Datenstrom in einen parallelen Datenstrom zurück umwandelt.

Die Empfangslogik EL weist Eingänge für die Meldeleitungen ML und die Empfangsdatenleitung DLAN auf. Über die Meldeleitungen ML wird ein Meldebitstrom und über die Empfangsdatenleitung DLAN ein serieller Datenbitstrom gesendet. Der Empfangslogik EL ist eine Empfangstaktzählerstufe ZE beigeordnet, die über die Empfangstaktleitung ET mit dem Empfangstakt versorgt wird. Anhand des Empfangstaktes ermittelt die Empfangstaktzählerstufe ZE, wie lange eine Änderung einer Meldung schon vorliegt. Erst wenn die neue Meldung eine vorgegebene Zeitspanne ange dauert hat, erfolgt eine Mitteilung in Form eines Wecksignals an die Mikroprozessoreinheit MP. Die Länge der Zeitspanne kann durch eine feste oder wahlfreie Vorgabe eines Wertes an einen in der Zählerstufe enthaltenen programmierbaren Zähler eingestellt werden, der ab dem Zeitpunkt der Änderung der Meldung die Empfangstakte zählt, bis in Abhängigkeit des Voreinstellungswertes ein Überlaufsignal entsteht.

Die Schaltungsanordnung nach Figur 1 ist eine Prinzipdarstellung einer seriellen Schnittstellenschaltungsanordnung gemäß der Erfindung und kann als Schaltungsanordnung für verschiedene serielle Schnittstellen realisiert werden. Näher betrachtet werden sollen nachfolgend die Realisierung der Schaltungsanordnung als V24- bzw. X21-Schnittstellenschaltungsanordnung. Bei der Real-

sierung als V24-Schnittstellenschaltungsanordnung können mit den Steuerleitungen STL beispielsweise die nach deutscher Norm mit S1 (108), S2 (105), PS2 (140) und PS3 (141) bezeichneten Steuerleitungen, sowie mit der Sendedatenleitung DLAB die nach deutscher Norm mit D1 (103) bezeichnete Datenleitung (allesamt nicht dargestellt) gemeint sein. Demgegenüber können mit den bei der Empfangslogik ankommenden Meldeleitungen ML die nach deutscher Norm mit M1 (107), M2 (106), M3 (125) und M5 (109) bezeichneten Meldeleitungen, sowie mit der Empfangsdatenleitung DLAN die nach deutscher Norm mit D2 (104) bezeichnete Datenleitung (ebenfalls allesamt nicht dargestellt) gemeint sein. Die in Klammern stehenden Zahlen stellen die entsprechenden Nummern der Leitungen nach der CCITT-Norm dar. Bei der Realisierung der Schaltungsanordnung als X21-Schnittstellenschaltungsanordnung können mit den Steuerleitungen STL die nach deutscher und CCITT-Norm mit C bezeichnete Steuerleitung, sowie mit der Sendedatenleitung DLAB die nach deutscher- und CCITT Norm mit T bezeichnete Datenleitung (allesamt nicht dargestellt) gemeint sein. Mit den Meldeleitungen ML kann die nach deutscher- und CCITT-Norm mit I bezeichnete Meldeleitung und mit der Empfangsdatenleitung DLAN die mit R bezeichnete Datenleitung (alle nicht dargestellt) gemeint sein.

Bei der Realisierung als V24-Schnittstellenschaltungsanordnung erfolgt, da die Meldungen über einen Zeitbereich parallel, also quasi stationär, angeliefert werden, eine Überwachung auf Änderung der Meldung in der Weise, daß ein Empfängerwecksignal an die Mikroprozessoreinheit MP dann abgegeben wird, wenn sich der Signalzustand auf wenigstens einer der Meldeleitungen ML eine gewisse Zeitspanne geändert hat. Im Gegensatz dazu werden bei der Realisierung als X21-Schnittstellenschaltungsanordnung Meldungen über die hier nur einfach vorhandene Meldeleitung I (in FIG 1 nicht dargestellt) und gegebenenfalls zusätzlich über die Empfangsdatenleitung R (ebenfalls in FIG 1 nicht dargestellt) seriell übergeben. Hier müssen also über einen Zeitbereich hinweg Folgezustände überwacht werden.

FIG 2 zeigt ein Ausführungsbeispiel einer Überwachungsschaltung für die Meldeleitungen ML1 bis ML4 einer V24-Schnittstellenschaltungsanordnung. Jede der Meldeleitungen ML1 bis ML4 ist dabei an einen Eingang einer der Mehrtaktspeicherstufen angeschlossen, die jeweils aus einem der Auswahl-schalter MUX1 bis MUX4, denen jeweils eines der Speicherglieder FF1 bis FF4 nachgeschaltet sind, denen wiederum jeweils eines der Exklusiv- ODER-Glieder XOR1 bis XOR4 nachgeschaltet sind, gebildet sind. Die Mehrtaktspeicherstufen sind über ein ODER-Glied OR1 verknüpft, um ein Gesamtsignal

zu erhalten. Das über die Gesamtsignalleitung MDIFF geführte Gesamtsignal schaltet über den zugehörigen ersten Eingang das Ausgangs-UND-Glied UD1 frei, das das am zugehörigen zweiten Eingang anliegende, über die Freigabesignalleitung F geführte Freigabesignal durchschaltet und als Empfangswecksignal EWL1 ausgibt. Das über die Freigabeleitung F geführte Freigabesignal wird von der Empfangstaktzählerstufe ZE1 erzeugt und über dessen Zeittaktausgang ZTA ausgegeben. Die Empfangstaktzählerstufe ZE1 ist ein Zähler, der nach seiner Freigabe mit den auf der Empfangstaktleitung ET übertragenen Empfangstakten mitzählt und jeweils beim Überschreiten seines Zählerhöchststandes ein Überlaufsignal erzeugt.

Die Funktionsweise der Überwachungsschaltung wird anhand der Meldeleitung ML1 und der einen, der Meldeleitung ML1 zugeordneten Mehrtaktspeicherstufe näher erläutert: Der Auswahl-schalter MUX1 erhält hier über die Meldeleitung ML1 jeweils den aktuellen und über die Rückkopplungsleitung AZ jeweils den gespeicherten gültigen Signalzustand mitgeteilt. Solange keine Zustandsänderung auf der Meldeleitung ML1 erfolgt, wird auf der Auswahlschalterleitung AL jeweils der gespeicherte gültige Signalzustand dem D-Flip-Flop FF1 übergeben, das mit jedem Empfangstakt der Empfangstaktleitung ET den gespeicherten gültigen Signalzustand zunächst immer wieder übernimmt. Die Eingänge des Exklusiv-ODER-Gliedes XOR1 weisen damit zu diesem Zeitpunkt den gleichen Signalpegel auf. Das Ausgangssignal des Exklusiv-ODER-Gliedes XOR1, das den logischen Wert 0 aufweist, steuert über das ODER-Glied OR1 und über die Gesamtsignalausgangsleitung MDIFF den negierenden Reseteingang der Empfangstaktzählerstufe ZE1 und den ersten Eingang des Ausgangs-UND-Gliedes UD1 an, an dessen zweiten Eingang das von der Empfangstaktzählerstufe ZE1 erzeugte und über die Freigabesignalleitung F geführte Freigabesignal anliegt. Da der logische Signalpegel auf der Gesamtsignalausgangsleitung MDIFF den Wert 0 aufweist, wird einerseits das Loslaufen der Empfangstaktzählerstufe ZE1 verhindert und andererseits das Ausgangs-UND-Glied UD1 gesperrt. Über die an dessen Ausgang angeschlossene Empfängerweckleitung EWL1 wird kein Signal ausgegeben.

Ändert sich der Signalzustand auf der Meldeleitung ML1, weisen die Signalpegel des Exklusiv-ODER-Gliedes XOR1 zunächst einmal unterschiedliche Werte auf, so daß das Signal auf der Gesamtsignalausgangsleitung MDIFF den logischen Wert 1 annimmt. Die Empfangstaktzählerstufe ZE1 und das Ausgangs-UND-Glied UD1 werden freigeschaltet. Beim Überschreiten des Zählerhöchststandes der Empfangstaktzählerstufe ZE1 wird das Freigabesignal F erzeugt, das über die Empfängerweck-

leitung EWL1 ausgegeben wird. Der Auswahl-
 schalter MUX1 wird durch dieses Signal umge-
 steuert, so daß über die Meldeleitung ML1 der neue Signalpe-
 gel an das D-Flip-Flop FF1 gelangt. Der neue Si-
 gnalpegel wird von dem D-Flip-Flop FF1 mit dem
 nächsten Empfangstakt übernommen. Die Eingän-
 ge des Exklusiv-ODER-Gliedes XOR1 weisen damit
 den gleichen Signalpegel auf, weshalb die Emp-
 fangstaktzählerstufe ZE1 wieder zurückgesetzt
 wird. Das Signal auf der Ausgangsleitung EWL1
 wird über das Ausgangs-UND-Glied UD1 wieder
 abgeschaltet. Parallel dazu wird der Auswahl-
 schalter MUX1 wieder umgesteuert, so daß er jetzt den
 neu gespeicherten Signalzustand durchschaltet, der
 mit dem aktuell über die Meldeleitung ML1 angelie-
 ferten Signalzustand bis zu dessen nächsten Si-
 gnalzustandsänderung übereinstimmt.

FIG 3 zeigt den für die Erzeugung eines Emp-
 fängerwecksignals EWL nach Änderung der bei der
 Empfangslogik EL eintreffenden Meldung zustän-
 digen Schaltungskomplex der Empfängerschaltung
 ES für den Fall, daß die eingangs beschriebene
 Schaltungsanordnung als X21-Schnittstellenschal-
 tung realisiert ist. Die Schaltung überwacht die
 Signale auf den X21-Schnittstellenleitungen I und
 R, die nachfolgend kurz auch mit I- und R-Signal
 bezeichnet werden. In ähnlicher Weise wird das
 über den Leitungsweg EWL2 übertragene Empfän-
 gerwecksignal nachfolgend kurz mit Empfänger-
 wecksignal EWL2 bezeichnet. Desgleichen werden
 schaltungsinterne Signale kurz mit dem Namen der
 Leitungswege bezeichnet, auf denen sie übertragen
 werden.

Überwacht werden vier Signalzustände SZ1 bis
 SZ4 der I- und R-Signale, wobei ein Wechsel von
 einem Signalzustand zu einem anderen zum Emp-
 fängerwecksignal EWL2 führt, wenn die Änderung
 eine vorgegebene Anzahl von auf der gleichnamigen
 Signalleitung übertragenen Empfangstakten ET
 andauert. Die vier Signalzustände entsprechen je-
 weils verschiedenen Meldungen und unterscheiden
 sich wie folgt:

SZ1:

I = 0

R = 0101 alternierend

SZ2:

I = 0

R = 0000...

SZ3:

I = 0

R = 1111...

SZ4:

I = 1

R = X; X = beliebig

Die gezeigte Schaltung kann in mehrere Schal-
 tungsteile zerlegt aufgefaßt werden, die nachfol-
 gend mit Decodierteilschaltung DT, Reseteilschal-
 tung RT, Zeiteilschaltung ZT und Empfangstakt-

zählerstufe ZE2 bezeichnet sind. Die Decodier-
 und die Zeiteilschaltung DT und ZT, sowie die
 Empfangstaktzählerstufe ZE2 werden mit dem
 Empfangstakt ET gesteuert.

Die Empfangstaktzählerstufe ZE2 weist einen
 negierenden Reseteingang NR auf, sowie einen
 Zeittaktausgang ZTA, an den die Freigabeleitung F
 angeschlossen ist. Das über die Freigabelei-
 tung F übertragene Freigabesignal wird, unter der Voraus-
 setzung, daß durch das am negierenden Resetein-
 gang anliegende Resetsignal die Empfangstaktzäh-
 lerstufe ZE2 nicht schon vorher zurückgesetzt wird,
 von der Empfangstaktzählerstufe ZE2 jeweils beim
 Überschreiten des vorgegebenen Zählerhöchst-
 standes erzeugt. Die Empfangstaktzählerstufe ZE2
 wird zurückgesetzt, wenn das Resetsignal RES den
 logischen Wert 0 aufweist. Durch die besondere
 Gestaltung der Gesamtschaltung kann das Resetsi-
 gnal RES maximal immer nur einen Empfangstakt
 ET lang den logischen Wert 0 aufweisen. Das
 Freigabesignal F wird über das Ausgangs-UND-
 Glied UD8 der Zeiteilschaltung ZT als Empfän-
 gerwecksignal EWL2 ausgegeben, wenn der zusätzli-
 che Eingang des Ausgangs-UND-Glieds UD8 den
 logischen Wert 1 aufweist. Wie später noch gezeigt
 wird, wird der zusätzliche Eingang nur dann mit
 dem logischen Wert 1 angesteuert, wenn eine Mel-
 dungsänderung stattgefunden und die Empfangs-
 taktzählerstufe ZE2 noch nicht das erste Mal über
 den Zählerhöchststand hinausgezählt hat. Auf die-
 se Weise führen nur Meldungsänderungen, die län-
 ger als die vorgegebene Anzahl von Empfangstak-
 ten ET andauern, zu einem Weckaufruf an die
 Mikroprozessoreinheit MP. Kurzzeitige Störungen
 bleiben unberücksichtigt.

Die Decodierteilschaltung DT erkennt die ver-
 schiedenen Meldungen anhand jeweils zwei zeitlich
 aufeinanderfolgender Taktzeitpunkte, zu denen sie
 die Eingangssignale I und R jeweils mit sich selbst
 vergleicht. Dabei dominiert das Eingangssignal I
 gegenüber dem Eingangssignal R. Das Eingangssi-
 gnal R kommt nur zur Wirkung, wenn das Ein-
 gangssignal I den logischen Wert 0 aufweist. In
 diesem Fall werden in der Reseteilschaltung RT
 die UND-Glieder UD4 bis UD6 bezüglich der je-
 weils anderen Eingänge freigeschaltet. Gleichzeitig
 wird das UND-Glied UD7 gesperrt.

Ändert sich das Eingangssignal I vom logi-
 schen Signalpegel 0 zum logischen Signalpegel 1
 unter der Annahme, daß sich vorher mindestens
 eine Zählrunde der Empfangstaktzählerstufe ZE2
 nichts geändert hat, werden einerseits die UND-
 Glieder UD4 bis UD6 gesperrt und wird anderer-
 seits das UND-Glied UD7 freigeschaltet. Da zu
 diesem Zeitpunkt der logische Wert am positiven
 Ausgang Q des D-Flip-Flops FF9 noch 0 ist, weist
 der Ausgang des UND-Gliedes UD7 den logischen
 Wert 0 auf. Über das ODER-Glied OR2 wird insge-

samt ein Resetsignal RES ausgegeben, das den logischen Wert 0 aufweist. Die Empfangstaktzählerstufe ZE2 wird durch dieses Signal zurückgesetzt.

Mit dem nächsten Empfangstakt ET wird das I-Signal vom D-Flip-Flop FF9 übernommen und sowohl an das UND-Glied UD7, als auch an das Exklusiv-ODER-Glied XOR9 weitergeleitet. Der Ausgang des UND-Gliedes UD7 nimmt den logischen Wert 1 an, wodurch die Empfangstaktzählerstufe ZE2 freigegeben wird. Der Ausgang des Exklusiv-ODER-Gliedes XOR9 in der Zeiteilschaltung ZT nimmt ebenfalls den logischen Wert 1 an und schaltet über das ODER-Glied OR3 das Ausgangs-UND-Glied UD8 bezüglich des Freigabesignals F frei.

Aufgrund der Tatsache, daß sich außer dem Signal I seit mindestens einer Zählrunde der Empfangstaktzählerstufe ZE2 nichts geändert hat, weisen jeweils die mit den positiven Ausgängen Q der D-Flip-Flops FF10 bis FF12 verbundenen ersten Eingänge der Exklusiv-ODER-Glieder XOR6 bis XOR8 gleiche logische Werte wie die jeweils zweiten Eingänge auf, die mit Ausgängen der D-Flip-Flops FF6 bis FF8 der Decodierteilschaltung DT verbunden sind. Zwischen dem ersten und zweiten Eingang des Exklusiv-ODER-Gliedes XOR9 ergeben sich aber unterschiedliche logische Werte, wodurch der Ausgang des Exklusiv-ODER-Gliedes XOR9 den logischen Wert 1 annimmt. Dadurch wird über das ODER-Glied OR3 das Ausgangs-UND-Glied UD8 bezüglich des Freigabesignals F freigeschaltet. Das Freigabesignal F, das jeweils beim Übergang vom höchsten zum niedrigsten Zählerstand erzeugt wird, wird über das Ausgangs-UND-Glied UD8 als Empfängerwecksignal EWL2 ausgegeben.

Das Empfängerwecksignal EWL2 steuert die Steuereingänge S der Auswahlshalter MUX5 bis MUX8 an, die die Signale an den jeweiligen Eingängen A auf die Ausgänge durchschalten. Mit dem nächsten Empfangstakt ET werden die neuen Signalzustände SZ1 bis SZ4 von den D-Flip-Flops FF10 bis FF13 übernommen, von denen nur der Signalzustand SZ4 tatsächlich neu ist. Mit der Übernahme des neuen Signalzustandes SZ4 weisen beide Eingänge des Exklusiv-ODER-Gliedes XOR9 wieder den gleichen logischen Wert auf, wodurch über das ODER-Glied OR3 das Ausgangs-UND-Glied UD8 gesperrt wird. Das Empfängerwecksignal EWL2 wird abgeschaltet, woraufhin die Auswahlshalter MUX5 bis MUX8 die Signale an den jeweiligen Eingängen B durchschalten.

Solange keine weitere Änderung der Signalzustände SZ1 bis SZ4 auftritt, bleibt dieser Zustand erhalten.

Weist das Eingangssignal I den logischen Wert 0 auf, hängt der Meldungsgehalt vom Eingangssi-

gnal R ab. Dabei wird das Eingangssignal R zunächst vom D-Flip-Flop FF5 übernommen und anschließend mittels des Exklusiv-ODER-Gliedes XOR5 und der UND-Glieder UD2 und UD3 ausgewertet. Das UND-Glied UD2 weist dabei negierende Eingänge auf. Die Prüfung erfolgt parallel, wobei das Exklusiv-ODER-Glied XOR5 das Eingangssignal R daraufhin überprüft, ob sich nach einem Empfangstakt ET der Signalzustand des Eingangssignals R gegenüber dem vor dem Empfangstakt ET verändert hat. Im Falle einer Veränderung nimmt der Ausgang des Exklusiv-ODER-Gliedes XOR5 den logischen Wert 1 an. Das UND-Glied UD2 überprüft das Eingangssignal R daraufhin, ob das Eingangssignal R nach wie vor eines Empfangstaktes ET den logischen Wert 0 aufweist; wenn ja, nimmt der Ausgang des UND-Gliedes UD2 den logischen Wert 1 an. Schließlich prüft das UND-Glied UD3 das Eingangssignal R daraufhin, ob das Eingangssignal R nach wie vor eines Empfangstaktes ET den logischen Wert 1 aufweist; wenn ja, nimmt der Ausgang des UND-Gliedes UD3 den logischen Wert 1 an.

Je nach dem, welcher Signalzustand des Eingangssignals R vorliegt, übernimmt eines der jeweils den vorbeschriebenen Schaltungsgliedern nachgeschalteten D-Flip-Flops FF6 bis FF8 den logischen Wert 1. Den D-Flip-Flops FF6 bis FF8 sind, wie auch dem D-Flip-Flop FF9, jeweils eines der UND-Glieder UD4 bis UD7 parallel geschaltet, und zwar in der Weise, daß je UND-Glied UD4 bis UD7 ein erster und ein zweiter Eingang einmal mit dem Eingang und einmal mit dem Ausgang jeweils eines der D-Flip-Flops FF6 bis FF9 verbunden sind.

Die UND-Glieder UD4 bis UD6 weisen je einen negierenden dritten Eingang auf, die mit dem Eingangssignal I angesteuert werden. Da das Eingangssignal I für diesen Beschreibungsteil den logischen Wert 0 aufweist, sind die UND-Glieder UD4 bis UD6 wirksam geschaltet, während das UND-Glied UD7 gesperrt ist. Da das Eingangssignal R zu jeder Zeit einen der vorbeschriebenen Signalzustände aufweist, führt zu jeder Zeit ein Ausgang der Schaltglieder XOR5, UD2 bzw. UD3 den logischen Wert 1.

Angenommen sei, daß der Ausgang des UND-Gliedes UD2 den logischen Wert 1 führt. Ferner sei angenommen, daß längere Zeit keine Signalzustandsänderung erfolgt ist. In diesem Fall weisen sowohl der Dateneingang D als auch der positive Ausgang Q des D-Flip-Flops FF7 den logischen Wert 1 auf, während die Dateneingänge D und die positiven Ausgänge Q der D-Flip-Flops FF6 und FF8 den logischen Wert 0 aufweisen. Angenommen sei also, daß der Signalzustand SZ2 vorliegt. Das UND-Glied UD5 weist deshalb ausgangsseitig den logischen Wert 1 auf, der über das ODER-

Glied OR2 die Empfangstaktzählerstufe ZE2 im Zählzustand hält.

Ändert sich der Signalzustand des Eingangssignals R von dem ständigen logischen Wert 1 auf den ständigen logischen Wert 0, weist der Dateneingang des D-Flip-Flops FF7 den logischen Wert 0 und der Dateneingang des D-Flip-Flops FF8 den logischen Wert 1 auf. Damit werden sämtliche UND-Glieder UD4 bis UD7 gesperrt.

Das Resetsignal RES nimmt den logischen Wert 0 an, wodurch die Empfangstaktzählerstufe ZE2 zurückgesetzt wird. Mit dem nächsten Empfangstakt ET nimmt der positive Ausgang Q des D-Flip-Flops FF8 den logischen Wert 1 an, weshalb über das UND-Glied UD6 und das ODER-Glied OR2 die Empfangstaktzählerstufe ZE2 freigeschaltet wird. Die Empfangstaktzählerstufe ZE2 beginnt zu zählen.

Nachdem nun der neue Signalzustand SZ3 vorliegt, wird über das Exklusiv-ODER-Glied XOR8 und das ODER-Glied OR3 das Ausgangs-UND-Glied UD8 freigeschaltet. Beim Überlauf der Empfangstaktzählerstufe ZE2 wird das Freigabesignal F als Empfängerwecksignal EWL2 ausgegeben. Gleichzeitig werden die Auswahlshalter MUX5 bis MUX8 umgesteuert, so daß die D-Flip-Flops FF10 bis FF13 die bzw. den neuen Signalzustand übernehmen können. Als Folge davon wird das Ausgangs-UND-Glied UD8 wieder gesperrt geschaltet, bis eine neue Signalzustandsänderung erfolgt.

Weitere mögliche Signalzustandsänderungen laufen in analoger Weise ab.

Die positiven Ausgänge Q der D-Flip-Flops FF10 bis FF13 sind auf Pins P1 bis P4 geführt, an denen die Signalzustände bei Auftreten eines Empfängerwecksignals EWL2 abgefragt werden können. Die Pins P1 bis P4 sind Teil des Meldeinformationsausgabeschaltungsteils PORT.

Ansprüche

1. Verfahren zur Steuerung eines auszusendenden Daten- und Steuerbitstroms, sowie eines empfangenen Daten- und Meldebitstroms einer seriellen Schnittstelle mittels einer eine den auszusendenden bzw. empfangenen Datenbitstrom parallelseriell und umgekehrt wandelnden Bitstromwandlereinrichtung aufweisenden mikroprozessorgesteuerten Schnittstellenschaltungsanordnung, **dadurch gekennzeichnet**, daß die in der Schnittstellenschaltungsanordnung enthaltene Mikroprozessoreinheit (MP) eine erste Zusatzeinrichtung derart voreinstellt, daß diese Zusatzeinrichtung einerseits einen voreinstellungsabhängigen Steuerbitstrom und andererseits abhängig von der Voreinstellung entweder den von der Bitstromwandlerein-

richtung (BW) seriell gewandelten Datenbitstrom oder einen voreinstellungsabhängigen selbst erzeugten Datenbitstrom aussendet, daß beim Aussenden des Daten- bzw. Steuerbitstroms abhängig von der Sendegeschwindigkeit Wecksignale für die Mikroprozessoreinheit (MP) erzeugt werden, daß eine zweite Zusatzeinrichtung aus dem empfangenen Melde- und gegebenenfalls Datenbitstrom Meldungen herausfiltert, auf eine Meldungsänderungen hin untersucht und dann bereitstellt, während der reine Datenbitstrom an die Bitstromwandlereinrichtung (BW) gesendet wird, und daß bei Vorliegen einer Meldungsänderung, die länger als eine vorgegebene Zeitspanne andauert, ein Wecksignal für die Mikroprozessoreinheit (MP) erzeugt wird, die daraufhin die geänderte Meldung abholt.

2. Verfahren nach Anspruch 1,

dadurch gekennzeichnet, daß beim Aussenden des Steuer- bzw. Datenbitstroms mit dem Sendetakt kontinuierlich und wiederholend mitgezählt und abhängig von einem vorgebbaren Zählerhöchstwert jeweils bei Erreichen des Zählerhöchstwertes ein Wecksignal erzeugt wird.

3. Verfahren nach Anspruch 1 oder 2,

dadurch gekennzeichnet, daß beim Empfangen des Melde- bzw. Datenbitstroms jeweils ab einer Meldungsänderung neu beginnend mit den Empfangstakten kontinuierlich und wiederholend mitgezählt und abhängig von einem vorgebbaren Zählerhöchstwert jeweils bei Erreichen des Zählerhöchstwertes ein Wecksignal erzeugt wird, von denen jeweils nur das erste Wecksignal nach einer Meldungsänderung wirksam geschaltet wird.

4. Schaltungsanordnung zur Durchführung des Verfahrens nach Anspruch 1,

dadurch gekennzeichnet, daß der Bitstromwandlereinrichtung (BW) für auszusendende Bitströme eine Sendeschaltung (SS) nach- und für zu empfangende Bitströme eine Empfangsschaltung (ES) vorgeschaltet ist, daß die Sendeschaltung (SS) einen mit der Mikroprozessoreinheit (MP) der Schnittstellenschaltungsanordnung in Verbindung stehenden speichernden Informationsaufnahme-schaltungsteil (REG) und die Empfangsschaltung (ES) einen mit derselben Mikroprozessoreinheit (MP) in Verbindung stehenden Meldeinformationsausgabeschaltungsteil (PORT) aufweist, daß die Sende- und Empfangsschaltung (SS und ES) eine mit einer Sende- bzw. Empfangstaktleitung (ST bzw. ET) verbundene und je eine jeweils mit einem vorgegebenen Zählerhöchstwert beaufschlagte Sende- bzw. Empfangstaktzählerstufe (ZS bzw. ZE) aufweisen, daß die Sendeschaltung (SS) eine vom Inhalt des speichernden Informationsaufnahme-schaltungsteils (REG), von der Sendetaktzählerstufe (ZS) und den Signalen auf der Sendetaktleitung (ST) abhängige Bitstrom Generier- bzw. Bitstrom-durchschaltelogik (SL) und die Empfangsschaltung

(ES) eine von der Empfangstaktzählerstufe (ZE) und den Signalen auf der Empfangstaktleitung (ET), der Empfangsdatenleitung (DLAN) und den Meldeleitungen (ML) abhängige Empfangslogik (EL) aufweisen, daß die Sendelogik (SL) Ausgänge für Steuerleitungen (STL) und eine Sendedatenleitung (DLAB) aufweist und daß die Sendelogik (SL) über eine Senderweckleitung (SWL) und die Empfangslogik (EL) über eine Empfängerweckleitung (EWL) jeweils mit der Mikroproessoreinheit (MP) verbunden sind.

5. Schaltungsanordnung nach Anspruch 4, **dadurch gekennzeichnet**, daß in der Empfangsschaltung (ES) für jede der Meldeleitungen (z.B. ML1 bis ML4) eine Mehrtaktspeicherstufe vorgesehen ist, die aus einem Auswahlshalter (z.B. MUX1) mit nachgeschaltetem Speicher-Glied (z.B. FF1), dem wiederum ein Exklusiv-ODER-Glied (z.B. XOR1) nachgeschaltet ist, gebildet sind, daß die Auswahlshalter (z.B. MUX1) der Mehrtaktspeicherstufen jeweils einen Steuereingang (S) und zwei Dateneingänge (A und B) aufweisen, von denen jeweils die ersten Dateneingänge (A) mit je einer Meldeleitung (z.B. ML1) und die zweiten Dateneingänge (B) mit je einem positiven Ausgang eines der den jeweiligen Auswahlshaltern (z.B. MUX1) nachgeschalteten Speicher-Gliedern (z.B. FF1) verbunden sind, daß die ersten Dateneingänge (A) der Auswahlshalter (z.B. MUX1) je mit einem der Eingänge derjenigen Exklusiv-ODER-Glieder (z.B. XOR1) verbunden sind, die jeweils dem dem jeweiligen Auswahlshalter (z.B. MUX1) nachgeschalteten Speicher-Glied (z.B. FF1) nachgeschaltet sind, daß die Ausgänge der Exklusiv-ODER-Glieder (z.B. XOR1) mit Eingängen eines ODER-Gliedes (OR1) verbunden sind, dessen Ausgang einerseits mit dem negierenden Reseteingang (NR) einer Empfangstaktzählerstufe (ZE1) und andererseits mit einem ersten Eingang eines Ausgangs-UND-Gliedes (UD1) verbunden ist, daß ein zweiter Eingang des Ausgangs-UND-Gliedes (UD1) mit dem Zeittaktausgang (ZTA) der Empfangstaktzählerstufe (ZE1) verbunden ist, daß der Ausgang des Ausgangs-UND-Gliedes (UD1) einerseits mit den Steuereingängen (S) der Auswahlshalter (MUX) und andererseits mit der Empfängerweckleitung (EWL1) verbunden ist und daß die Takteingänge der Speicher-Glieder (FF) und der Empfangstaktzählerstufe (ZE1) an die Empfangstaktleitung (ET) angeschlossen sind.

6. Schaltungsanordnung nach Anspruch 4, **dadurch gekennzeichnet**, daß die Empfangslogik (EL) der Empfangsschaltung (ES) eine Decodierteilschaltung (DT) mit einem Eingang für eine einzelne Meldeleitung (I) und einem Eingang für eine einzelne Empfangsdatenleitung (R), sowie eine von der Decodierteilschaltung (DT) abhängige Reseteilschaltung (RT) und eine der Decodierteilschaltung (DT) nachgeschaltete Zeiteilschaltung (ZT) auf-

weist, daß der Ausgang der Reseteilschaltung (RT) mit dem negierenden Reseteingang (NR) einer Empfangstaktzählerstufe (ZE2) verbunden ist, die über den Zeittaktausgang (ZTA) mit der Zeiteilschaltung (ZT) verbunden ist und daß die Zeiteilschaltung (ZT) mit der Empfängerweckleitung (EWL2) verbunden ist.

7. Schaltungsanordnung nach Anspruch 6, **dadurch gekennzeichnet**, daß die Decodierteilschaltung (DT) eine erste Speicherstufe mit einem Speicher-Glied (FF5) aufweist, an dessen Dateneingang die einzelne Empfangsdatenleitung (R) angeschlossen ist, daß dem Speicher-Glied (FF5) der ersten Speicherstufe eine Decodierstufe, bestehend aus einem Exklusiv-ODER-Glied (XOR5), einem ersten UND-Glied (UD2) mit negierenden Eingängen, sowie einem zweiten UND-Glied (UD3), nachgeschaltet ist, daß die jeweils ersten Eingänge der Schaltglieder der Decodierstufe mit dem Dateneingang, und die jeweils zweiten Eingänge der Schaltglieder der Decodierstufe mit dem positiven Ausgang des Speicher-Gliedes (FF5) der ersten Speicherstufe verbunden sind, daß die Ausgänge der Schaltglieder der Decodierstufe, sowie die einzelne Meldeleitung (I) je einerseits mit einem der Dateneingänge von Speicher-Gliedern (FF6 bis FF9) einer zweiten Speicherstufe und andererseits mit jeweils einem der ersten Eingänge von UND-Gliedern (UD4 bis UD7) der Reseteilschaltung (RT) verbunden sind, daß die jeweils zweiten Eingänge der UND-Glieder (UD4 bis UD7) der Reseteilschaltung (RT) in gleichsinniger Zuordnung der jeweiligen ersten Eingänge zu jeweils einem der Dateneingänge der Speicher-Glieder (FF6 bis FF9) der zweiten Speicherstufe mit jeweils einem der positiven Ausgänge derselben Speicher-Glieder (FF6 bis FF9) verbunden sind, daß die positiven Ausgänge der Speicher-Glieder (FF6 bis FF9) der zweiten Speicherstufe ferner je mit jeweils einem der Eingänge von Mehrtaktspeicherstufen der Zeiteilschaltung (ZT) verbunden sind, daß die Ausgänge der Mehrtaktspeicherstufen über ein ODER-Glied (OR3) der Zeiteilschaltung (ZT) mit einem ersten Eingang eines Ausgangs-UND-Gliedes (UD8) der Zeiteilschaltung (ZT) verbunden sind, dessen zweiter Eingang mit einem Zeittaktausgang (ZTA) der Empfangstaktzählerstufe (ZE2), und dessen Ausgang einerseits mit der Empfängerweckleitung (EWL2) und andererseits mit Steuereingängen (S) der Mehrtaktspeicherstufen verbunden sind, daß die UND-Glieder (UD4 bis UD6) der Reseteilschaltung (RT) jeweils einen negierenden dritten Eingang aufweisen, die mit der einzelnen Meldeleitung (I) verbunden sind, daß die Ausgänge der UND-Glieder (UD4 bis UD7) der Reseteilschaltung (RT) je über ein ODER-Glied (OR2) der Reseteilschaltung (RT) mit einem negierenden Reseteingang (NR) der Empfangstaktzählerstufe (ZE2) verbunden

sind und daß die Speicher-Glieder (FF5 bis FF9) der Decodierteilschaltung (DT), die Empfangstaktzählerstufe (ZE2), sowie die Mehrtaktspeicherstufen mit der Empfangstaktleitung (ET) verbunden sind.

5

8. Schaltungsanordnung nach Anspruch 7, **dadurch gekennzeichnet**, daß die Mehrtaktspeicherstufen jeweils aus einem Auswahlshalter (z.B. MUX5) mit nachgeschaltetem Speicher-Glied (z.B. FF10), dem wiederum ein Exklusiv-ODER-Glied (z.B. XOR6) nachgeschaltet ist, gebildet sind, daß die Auswahlshalter (z.B. MUX5) der Mehrtaktspeicherstufen jeweils einen Steuereingang (S) und zwei Dateneingänge (A und B) aufweisen, von denen jeweils die ersten Dateneingänge (A) mit je einem positiven Ausgang der Speicher-Glieder (FF6 bis FF9) der Resetteilschaltung (RT) und jeweils die zweiten Dateneingänge (B) mit je einem positiven Ausgang eines der den jeweiligen Auswahlshaltern nachgeschalteten Speicher-Gliedern (z.B. FF10) der Mehrtaktspeicherstufen verbunden sind, daß die ersten Dateneingänge (A) der Auswahlshalter (z.B. MUX 5) je mit jeweils einem der Eingänge derjenigen Exklusiv-ODER-Glieder (z.B. XOR6) verbunden sind, die jeweils dem dem jeweiligen Auswahlshalter (z.B. MUX5) nachgeschalteten Speicher-Glied (z.B. FF10) nachgeschaltet sind und daß die Ausgänge der Exklusiv-ODER-Glieder (z.B. XOR6) der Mehrtaktspeicherstufen jeweils einen Ausgang jeweils einer der Mehrtaktspeicherstufen bilden.

10

15

20

25

30

9. Schaltungsanordnung nach einem der Ansprüche 5 bis 8,

dadurch gekennzeichnet, daß die Speicher-Glieder aus D-Flip-Flops gebildet sind.

35

10. Schaltungsanordnung nach einem der Ansprüche 4 bis 10,

dadurch gekennzeichnet, daß die Sende-bzw. Empfangstaktzählerstufe (ZS bzw. ZE) aus programmierbaren Zählern gebildet sind, deren Überlaufausgänge jeweils die Zeittaktausgänge (ZTA) bilden.

40

45

50

55

9

FIG 1

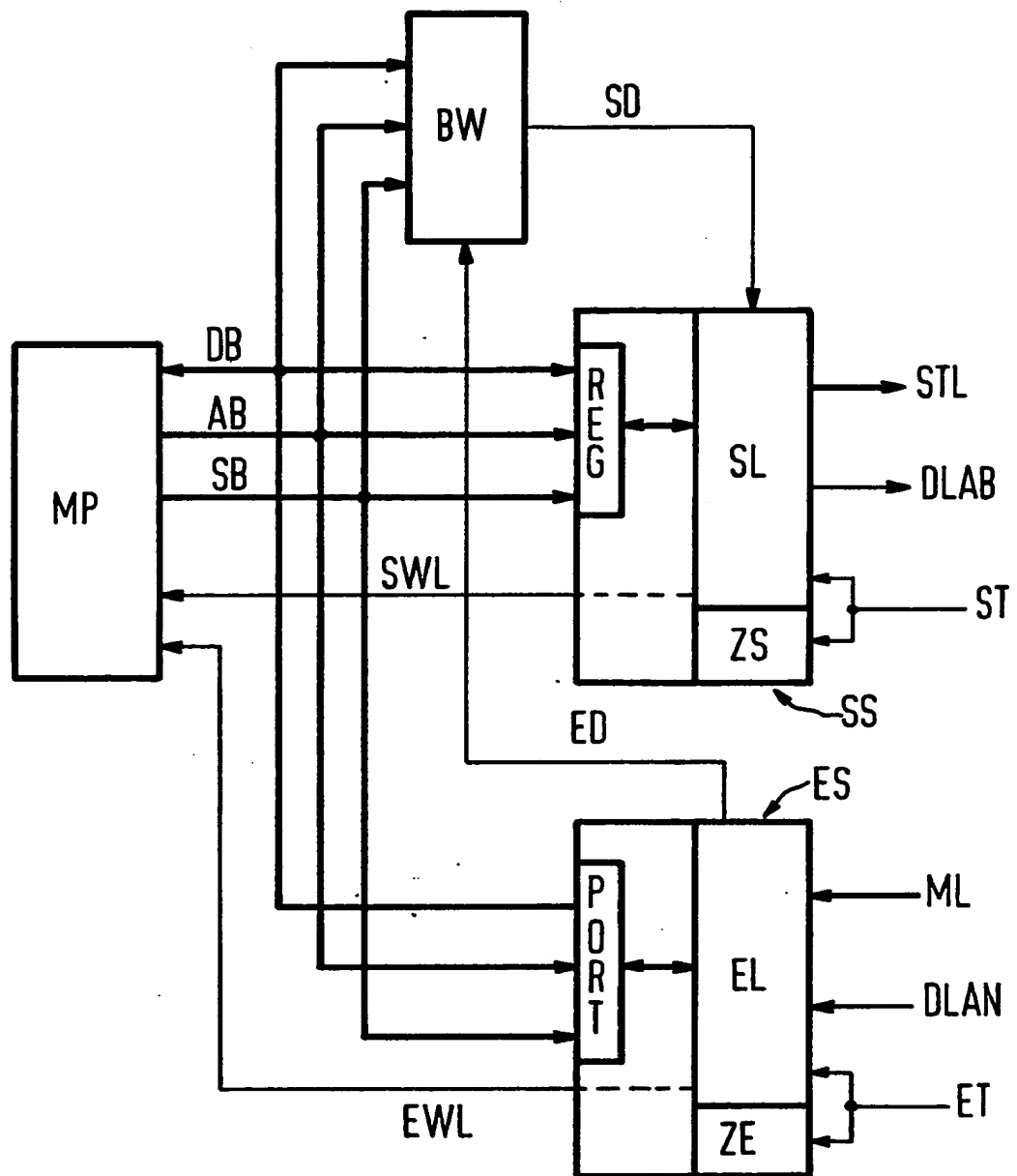


FIG 2

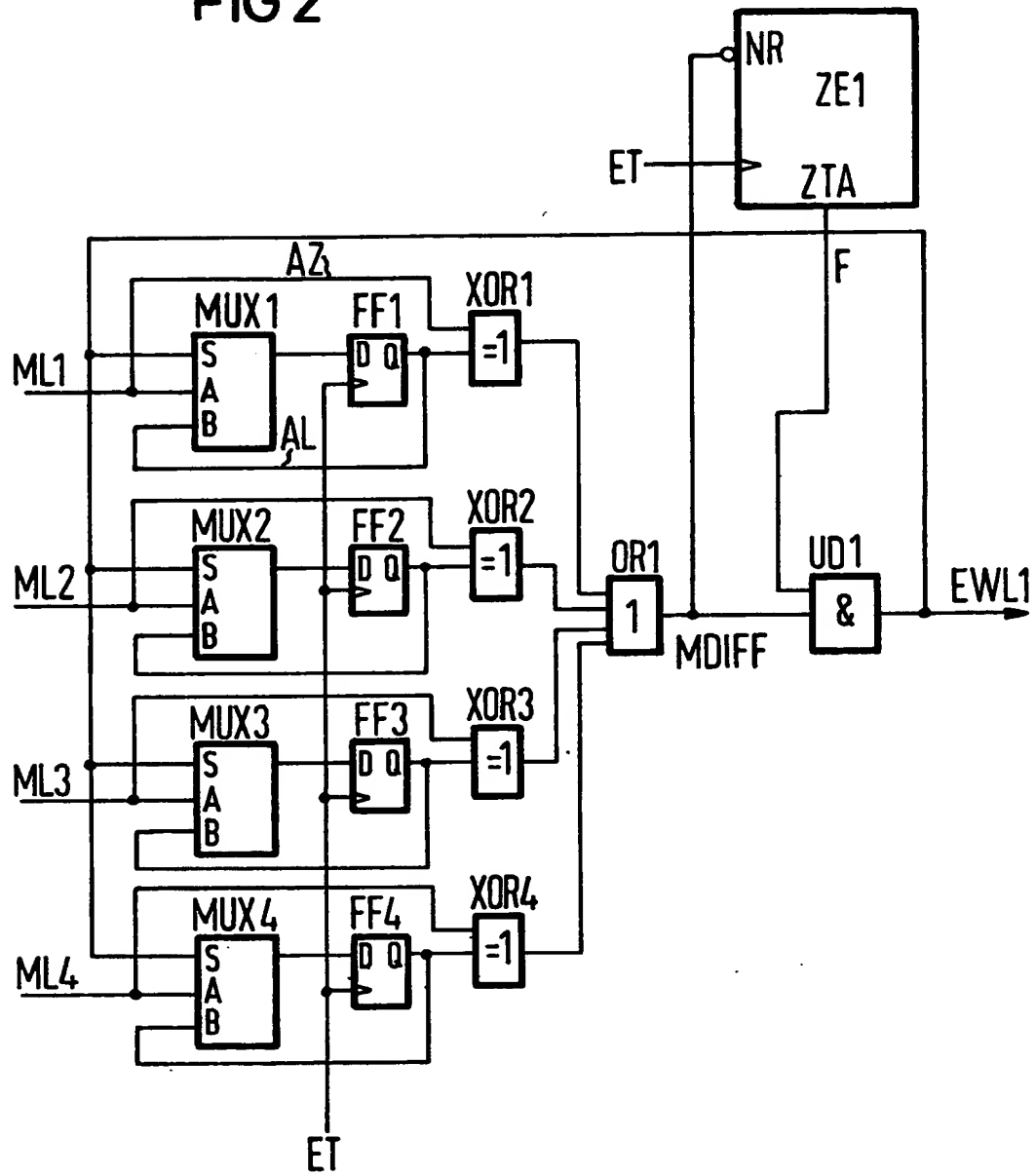
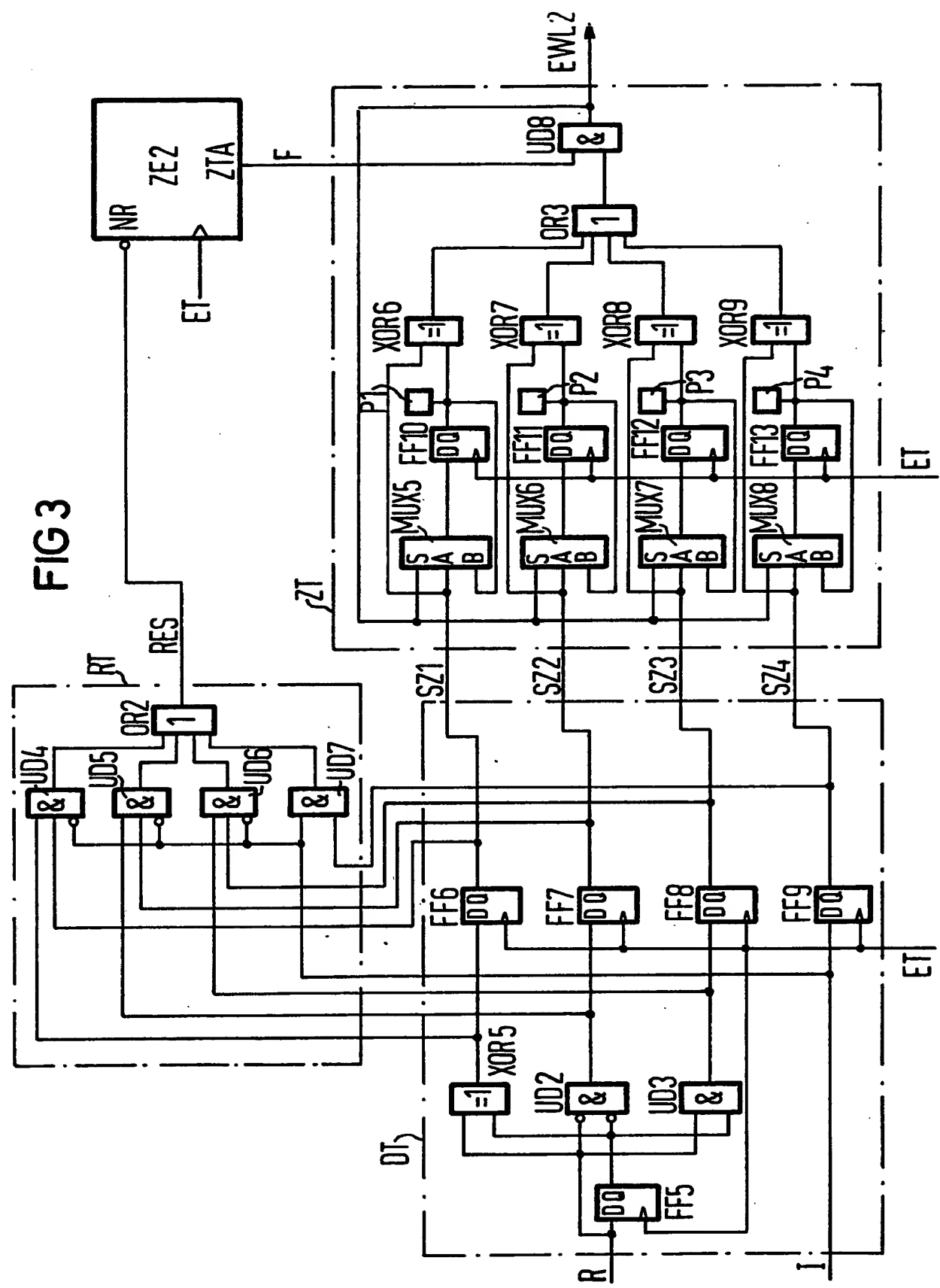


FIG 3





EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.4)
A	IBM TECHNICAL DISCLOSURE BULLETIN, Band 28, Nr. 6, November 1985, Seiten 2574-2575, New York, US; "SDLC interface adapter in microprocessor-based modems" * Der ganze Artikel *	1	H 04 L 29/10
A	IBM TECHNICAL DISCLOSURE BULLETIN, Band 30, Nr. 6, November 1987, Seiten 54-56, New York, US; "Modem line change detection reporting technique" * Der ganze Artikel *	1	
A	IEEE INTERNATIONAL CONFERENCE ON CIRCUITS AND COMPUTERS ICC 82, 28. September - 1. Oktober 1982, New York, Seiten 98-100, IEEE, New York, US; A.B. GLASER et al.: "The XPC - a VLSI link-level controller for X.25 LAPB" * Seite 98, rechte Spalte, Zeile 19 - Seite 100, linke Spalte, Zeile 2; Figur 1 *	1	
A	ELEKTRONIK, Band 36, Nr. 4, 20. Februar 1987, Seiten 77-80, München, DE; S. GANDHI: "UART-Baustein der neuen Generation" * Der ganze Artikel *	1	G 06 F H 04 L
A	EP-A-0 164 105 (SIEMENS) * Das ganze Dokument *	1	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort	Abschlußdatum der Recherche		Prüfer
DEN HAAG	16-05-1989		WANZEELE R.J.
KATEGORIE DER GENANNTEN DOKUMENTE		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur			